

IMAGE DISPLAY DEVICE

Publication number: JP3200282

Publication date: 1991-09-02

Inventor: NAKADA HIROYUKI

Applicant: CASIO COMPUTER CO LTD

Classification:

- International: G02F1/133; G09G3/36; G02F1/13; G09G3/36; (IPC1-7):
G02F1/133; G09G3/36

- European:

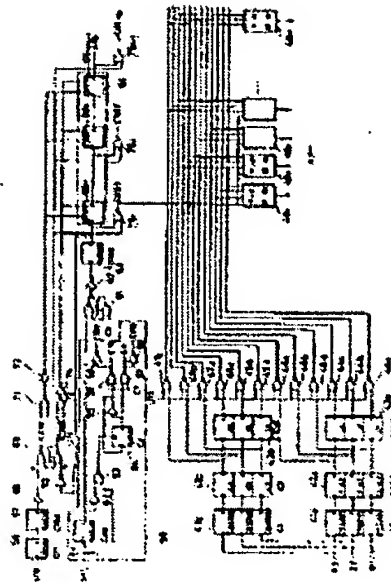
Application number: JP19890343612 19891228

Priority number(s): JP19890343612 19891228

Report a data error here

Abstract of JP3200282

PURPOSE: To simplify the circuit constitution and reduce the power consumption by writing picture element data which are inputted in picture element units in buffer circuits in order, reading held data out of the buffer circuits in parallel every time picture element data of four picture elements are written in the buffer circuit, and transferring them to latch circuits with a latch clock. **CONSTITUTION:** The (n)-bit picture element data which are inputted in picture element units are written in the buffer circuits 41a and 41b and every time picture element data of four picture elements are written in the buffer circuits 41a and 41b, their held data are read out in parallel and transferred to the latch circuits 42a and 42b, and 43a and 43b with the latch clock. When picture element data of one line are latched in the latch circuits 42a and 42b, and 43a and 43b, the latched picture element data are read out together to a driving circuit at specific timing to drive signal electrodes for displaying. Consequently, the constitution of the circuit which generates the latch clock is simplified and the frequency of the latch clock is lowered to reduce the power consumption.



Data supplied from the esp@cenet database - Worldwide

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-200282

⑤ Int. Cl.⁵

G 09 G 3/36
G 02 F 1/133

識別記号

5 7 5

庁内整理番号

8621-5C
7709-2H

⑬ 公開 平成3年(1991)9月2日

審査請求 未請求 請求項の数 1 (全10頁)

⑭ 発明の名称 画像表示装置

⑯ 特 願 平1-343612

⑰ 出 願 平1(1989)12月28日

⑱ 発 明 者 中 田 浩 之 東京都東大和市桜が丘2丁目229番地 カシオ計算機株式会社東京事業所内

⑲ 出 願 人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号

⑳ 代 理 人 弁理士 鈴江 武彦 外3名

明 細 書

1. 発明の名称

画 像 表 示 装 置

2. 特許請求の範囲

ドットマトリクス型表示パネルの信号電極に対応して設けられた複数のラッチ回路に画素データを順次ラッチし、そのラッチデータに基づいて上記信号電極を表示駆動する画像表示装置において、少なくとも4画素分の画素データを保持できるバッファ回路と、このバッファ回路に1画素単位で入力されるnビットの画素データを順次書き込んで4画素分保持させるデータ書き込み手段と、上記バッファ回路に保持された4画素分の画素データをデータバスラインに並列的に読出す読出し手段と、上記バッファ回路に4画素分の画素データが読み込まれる周期で順次位相の異なる複数のラッチクロックを発生するラッチクロック発生手段と、上記データバスラインを介して送られてくる

4画素分の画素データを上記ラッチクロック発生手段から出力されるラッチクロックにより順次ラッチする複数のラッチ回路と、このラッチ回路にラッチされた画素データを所定のタイミングで一括して駆動回路に読出す読出し手段とを具備したことを特徴とする画像表示装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、液晶等のドットマトリクス型表示パネルに階調表示を行なう画像表示装置に関し、特に信号電極駆動回路の改良に関する。

〔従来技術〕

従来、ドットマトリクス型液晶表示パネルを用いた画像表示装置における信号電極(セグメント電極)駆動回路は、第3図に示すように構成されている。

すなわち、A/D変換回路(図示せず)から送られてくる例えば3ビットのデジタル画素データ

D1 ~ D3 は、3ビットのD型フリップフロップからなるバッファ回路11a, 11bに入力される。バッファ回路11aは画素データD1 ~ D3をクロックパルスC2により読み込んでラッチ回路12aに出力し、バッファ回路11bは画素データD1 ~ D3を基準クロックC1により読み込んでラッチ回路12bに出力する。上記クロックパルスC1, C2は、第4図(a), (b)に示すように周波数が同じで位相のみ180°異なる2相のクロックパルスである。上記ラッチ回路12aは、バッファ回路11aに保持されたデータを2相のクロックパルスC1, C2により読み込んでノア回路13a ~ 13cを介してインバータ14a ~ 14cに入力する。ラッチ回路12bは、バッファ回路11bに保持されたデータをクロックパルスC2により読み込み、ノア回路15a ~ 15cを介してインバータ16a ~ 16cに入力する。そして、上記インバータ14a ~ 14cの出力信号は、3ビット構成のN段のラッチ回路17₁ ~ 17_Nのうち、奇数番

目のラッチ回路17₁, 17₃, ..., 17_{N-1}に入力され、インバータ16a ~ 16cの出力信号は、偶数番目のラッチ回路17₂, 17₄, ..., 17_Nに入力される。

また、18はD型フリップフロップで、水平同期信号に同期して与えられるスタート信号ST1をクロックパルスC1により読み込み、D型フリップフロップ19を入力する。このフリップフロップ19は、入力信号をクロックパルスC2により読み込み、シフトレジスタ20に入力する。このシフトレジスタ20は、(N/2 - 1)段のラッチ回路20₁ ~ 20_{N/2-1}を縦続接続してなり、入力信号を2相のクロックパルスC1, C2により順次シフトし、最終段のラッチ回路20_{N/2-1}から出力される信号ST0をD型フリップフロップ21に入力する。このフリップフロップ21は、信号ST0をクロックパルスC1により読み込んでRSフリップフロップ22のリセット端子Rに入力する。このフリップフロップ22は、フリップフロップ18の出力信号によりセットされるも

ので、その出力信号はインバータ23を介してD型フリップフロップ24及びアンド回路26に入力される。フリップフロップ24は入力信号をクロックパルスC2に同期して読み込み、D型フリップフロップ25及び上記ノア回路13a ~ 13d, 15a ~ 15dに入力される。

また、フリップフロップ24の出力信号は、クロックパルスC2と共にノア回路27及びインバータ28を介してラッチ回路20₁ ~ 20_{N/2-1}のクロック端子CYに入力される。上記フリップフロップ25は、入力信号をクロックパルスC1により読み込み、アンド回路26に入力する。そして、このアンド回路26の出力信号は、クロックパルスC1と共にノア回路29及びインバータ30を介してラッチ回路20₁ ~ 20_{N/2-1}のクロック端子CXに入力される。更に上記インバータ30の出力信号は、ノア回路32₁ ~ 32_{N/2}に入力される。また、ノア回路32₁にはフリップフロップ19の出力信号が入力され、ノア回路32₂ ~ 32_{N/2}にはラッチ回路20₁ ~

20_{N/2-1}の出力信号がそれぞれ入力される。そして、上記ノア回路32₁ ~ 32_{N/2}の出力信号は、それぞれ奇数番目のラッチ回路17₁, 17₃, ..., 17_{N-1}及び偶数番目のラッチ回路17₂, 17₄, ..., 17_NにラッチクロックCKS1 ~ CKS_{N/2}として入力される。すなわち、ノア回路32₁ ~ 32_{N/2}から出力されるラッチクロックCKS1 ~ CKS_{N/2}は、ラッチ回路17₁ ~ 17_Nに、それぞれ奇数番目と偶数番目とを対として入力される。

第4図は上記従来回路の動作タイミングを示したものである。以下、第4図を参照して第3図の動作を説明する。新しいフィールドに入り、A/D変換回路から画素データD1 ~ D3が送られてくると、バッファ回路11a, 11bにラッチされて、奇数番目のデータと偶数番目のデータとが並列データに変換される。すなわち、A/D変換回路から第4図(c)に示す1番目の画素データD1 ~ D3が送られてくると、この画素データD1 ~ D3は、まず、クロックパルスC2により

バッファ回路11aにラッチされる。次に2番目の画素データD1～D3が送られてくると、この画素データはクロックパルスC1によりバッファ回路11bにラッチされる。このときバッファ回路11aに保持されている1番目の画素データがクロックパルスC1によりラッチ回路12aにラッチされる。このラッチ回路12aにラッチされた画素データは、クロックパルスC2によりラッチ回路12aから読出される。このときバッファ回路11bに保持されている画素データがクロックパルスC2によりラッチ回路12bにラッチされて出力される。従って、ラッチ回路12a、12bにラッチされた1番目の画素データと2番目の画素データは、第4図(f)、(g)に示すようにクロックパルスC2のタイミングで同時に出力される。

一方、上記新しいフィールドに入った際、第4図(d)に示すスタートタイミング信号ST1(ローレベル)がフリップフロップ18に入力される。上記スタートタイミング信号ST1は、ク

14a～14c、16a～16cを介してラッチ回路17a～17nへ送られるようになる。

また、上記フリップフロップ24から出力されるローレベルの信号は、クロックパルスC1によりフリップフロップ25にラッチされるので、アンド回路26は引き続きゲートを閉じた状態、つまり、出力信号が“0”の状態に保持される。このアンド回路26の出力信号がローレベルに保持されている間、第4図(j)に示すようにクロックパルスC1がノア回路29及びインバータ30を介して取り出され、ラッチ回路20₁～20_{n/2-1}に入力される。また、上記インバータ30から出力されるクロックパルスC1は、インバータ31を介してノア回路32₁～32_{n/2}に入力される。あるフィールドにおいて、インバータ31から最初のクロックパルスC1が出力された時は、フリップフロップ19から第4図(h)に示すラッチクロック作成用パルスが出力されているタイミングに一致し、このためノア回路32₁から第4図(l)に示すラッチクロック

パルスC1によりフリップフロップ18にラッチされ、更にクロックパルスC2により、フリップフロップ19にラッチされる。これによりフリップフロップ19から第4図(h)に示すラッチクロック作成用パルスが出力され、ラッチ回路20へ送られる。また、上記フリップフロップ18の出力信号(ローレベル)により、フリップフロップ22がセットされ、その出力信号がハイレベル、インバータ23の出力がローレベルとなってアンド回路26のゲートを閉じる。また、インバータ23の出力信号は、クロックパルスC2によりフリップフロップ24にラッチされ、その出力信号が第4図(h)に示すようにハイレベルからローレベルに立ち下がる。このフリップフロップ24の出力信号がローレベルとなっている期間がデータ有効区間となる。

上記のようにフリップフロップ24の出力信号がローレベルに立ち下がることにより、ラッチ回路12a、12bのラッチデータがノア回路13a～13c、15a～15c及びインバータ

CKS₁が出力される。このラッチクロックCKS₁が出力されると、ラッチ回路12aに保持されている画素データがラッチ回路17₁にラッチされ、ラッチ回路12bに保持されている画素データがラッチ回路17₂にラッチされる。

その後、フリップフロップ19から出力されているラッチクロック作成用パルスがインバータ30、28から出力されるクロックパルスに同期してラッチ回路20₁～20_{n/2-1}に順次シフトされる。このラッチ回路20₁～20_{n/2-1}のシフト動作に伴ってノア回路32₂～32_{n/2}から第4図(m)、(n)に示すようにラッチクロックCKS₂～CKS_{n/2}が順次出力される。また、この間にA/D変換回路から送られてくる画素データD1～D3が順次バッファ回路11a、11bを介してラッチ回路12a、12bにラッチされる。このラッチ回路12a、12bにラッチされた画素データが上記ラッチクロックCKS₂～CKS_{n/2}によりラッチ回路17₂～17_nに順次ラッチされる。そして、これらの各

ラッチ回路 $17_1 \sim 17_N$ にラッチされた3ビットの画素データにより8階調の駆動信号が作成され、液晶表示パネル(図示せず)のセグメント電極が表示駆動される。

【発明が解決しようとする課題】

上記のように従来の画像表示装置では、ラッチ回路 $12a_1, 12b_1$ に保持された2つの画素データがラッチクロック $CKS_1 \sim CKS_{N/2}$ により、ラッチ回路 $17_1 \sim 17_N$ に順次ラッチされる。即ち、1発のラッチクロック CKS により2つの画素データが同時にラッチ回路に転送される。従って、 N 本の出力に対して $N/2$ 個のラッチ回路 $20_1, 20_2, \dots$ 及びノア回路 $32_1, 32_2, \dots$ が必要であり、駆動回路の出力数が増えた場合、回路もそれに比例(係数 $1/2$)して増大するという問題があった。

本発明は上記実情に鑑みてなされたもので、回路構成を簡易化し得ると共に、駆動回路の出力数が多くなっても、回路の増加を少なくできる画像

1発のラッチクロックで4画素分のデータをラッチ回路にセットすることができる。このためラッチクロックを発生する回路の構成を簡易化できると共に、ラッチクロックの周波数を低くして消費電力を低減することができる。

【実施例】

以下、図面を参照して本発明の実施例を説明する。第1図に示すように前段のA/D変換回路(図示せず)から送られてくる複数ビット例えば3ビットのデジタル画素データ $D1 \sim D3$ は、3ビットのD型フリップフロップからなるバッファ回路 $41a, 41b$ に輸入される。バッファ回路 $41a$ は画素データ $D1 \sim D3$ をタイミング発生回路(図示せず)から送られてくるクロックパルス $C2$ により読み込んでラッチ回路 $42a$ に出力し、バッファ回路 $41b$ は画素データ $D1 \sim D3$ を基準クロック $C1$ により読み込んでラッチ回路 $42b$ に出力する。上記クロックパルス $C1, C2$ は、第2図(a), (b)に示すように周波

表示装置を提供することを目的とする。

【課題を解決するための手段及び作用】

本発明は、ドットマトリクス型表示パネルの各信号電極に対応して設けられた複数のラッチ回路に画素データを順次ラッチし、そのラッチデータに基づいて上記信号電極を表示駆動する画像表示装置において、1画素単位で入力される n ビットの画素データをバッファ回路に順次書き込み、このバッファ回路に4画素分の画素データが書き込まれる毎にその保持データを並列的に読出してラッチクロックによりラッチ回路に転送し、このラッチ回路に1ライン分の画素データがラッチされると、そのラッチ画素データを所定のタイミングで一括して駆動回路に読出して上記信号電極を表示駆動するようにしたものである。

上記の構成とすることにより、1画素単位で送られてくる画素データがバッファ回路に順次書き込まれ、4画素分書き込まれる毎にラッチクロックに同期してラッチ回路に転送される。従って、

数が同じで位相のみ 180° 異なる2相のクロックパルスである。上記ラッチ回路 $42a$ は、バッファ回路 $41a$ に保持されたデータを2相のクロックパルス $C1, C2$ により読み込んでラッチ回路 $43a$ 及びノア回路 $46a \sim 46c$ に輸入する。ラッチ回路 $43a$ は、詳細を後述するタイミング信号発生回路 50 から送られてくるラッチクロック $C10B$ により入力データをラッチし、ノア回路 $44a \sim 44c$ に輸入する。また、ラッチ回路 $42b$ は、バッファ回路 $41b$ に保持されたデータを2相のクロックパルス $C2$ により読み込んでラッチ回路 $43b$ 及びノア回路 $47a \sim 47c$ に輸入する。ラッチ回路 $43b$ は、入力データを上記ラッチクロック $C10B$ によりラッチし、ノア回路 $45a \sim 45c$ に輸入する。そして、上記ノア回路 $44a \sim 44c, 45a \sim 45c, 46a \sim 46c, 47a \sim 47c$ の出力信号は、データバスラインを介して各段が3ビットで N 段構成のラッチ回路 $48_1 \sim 48_N$ に4段を単位として順次入力される。このラッチ回路 $48_1 \sim$

48_nの構成段数Nは、表示パネルの信号電極数、つまり、1水平走査ライン上の画素数に対応して設けられる。

また、51はタイミング信号発生回路50内に設けられたD型フリップフロップで、水平同期信号に同期して与えられるスタート信号ST1をクロックパルスC1により読み込み、インバータ52に入力する。このインバータ52の出力信号は、上記スタート信号ST1と共にノア回路53を介してD型フリップフロップ54にリセット信号として送られる。このフリップフロップ54は、クロックパルスC2により入力信号を読み込み、ナンド回路57に入力すると共に、インバータ55を介して自己の入力端子I及びナンド回路56に入力する。また、ナンド回路56、57には、クロックパルスC1が入力される。このクロックパルスC1がナンド回路56、57を介してクロックパルスC10、C11として取り出され、更にインバータ58、59により反転してクロックパルスC10B、C11Bとして取り出される。

フロップ69のセット端子にSは、フリップフロップ63の出力信号がインバータ70を介して入力される。

上記フリップフロップ69の出力信号は、データ有効区間信号UT1としてノア回路71、72及び上記ノア回路44a~44c、45a~45c、46a~46c、47a~47cに入力される。また、ノア回路71にはC11Bが入力され、ノア回路72にはクロックパルスC10Bが入力される。そして、ノア回路71、72の出力信号は、それぞれインバータ73、74を介してラッチ回路65₁~65_{N/4-1}のクロック端子CX、CYに入力される。そして、フリップフロップ63及びラッチ回路65₁~65_{N/4-1}の出力信号は、それぞれノア回路71の出力信号と共にノア回路75₁~75_{N/4}を介してラッチクロックCKS1~CKS_{N/4}として取り出され、ラッチ回路48₁~48_Nに4個単位で入力される。例えばノア回路75₁から出力されるラッチクロックCKS1は、ラッチ回路48₁~48₄に入力

また、上記タイミング信号発生回路50のフリップフロップ51から出力される信号は、RSフリップフロップ61に入力される。このフリップフロップ61は、フリップフロップ51からの信号によりセットされ、クロックパルスC11によりリセットされる。フリップフロップ61の出力信号は、インバータ62を介してD型フリップフロップ63に入力される。このフリップフロップ63は、入力信号をクロックパルスC10Bにより読み込み、シフトレジスタ64に入力する。このシフトレジスタ64は、縦続接続された(N/4-1)段のラッチ回路65₁~65_{N/4-1}からなり、最終段のラッチ回路65_{N/4-1}から出力される信号ST0をD型フリップフロップ66に入力する。このフリップフロップ66は、信号ST0をクロックパルスC11により読み込み、フリップフロップ67に入力する。このフリップフロップ67は、入力信号をクロックパルスC10Bによりラッチし、インバータ68を介してRSフリップフロップ69のリセット端子Rに入力する。このフリップ

される。

次に上記実施例の動作を第2図のタイミングチャートを参照して説明する。

新しいフィールドに入り、第2図(c)に示すスタートタイミング信号ST1(ローレベル)が送られてくると、ノア回路53の出力信号がハイレベルとなり、フリップフロップ54がリセットされる。その後、上記スタートタイミング信号ST1がクロックパルスC2によりフリップフロップ51にラッチされ、その出力信号がローレベル、インバータ52の出力信号がハイレベル、ノア回路53の出力信号がローレベルとなり、フリップフロップ54のリセット状態が解除される。上記ノア回路53の出力信号は、その後、スタートタイミング信号ST1がハイレベルに戻ってもローレベルの状態に保持され、フリップフロップ54が動作し得る状態に保たれる。このためフリップフロップ54は、上記リセット状態が解除された後は、クロックパルスC2が入力される毎に反転動作する。このため第2図(e)、(f)に

示すようにクロックパルスC1がナンド回路56、57により交互に選択され、かつ、反転したクロックパルスC10、C11として取り出される。このクロックパルスC10、C11は、更にインバータ58、59により反転され、C10B、C11Bとして取り出される。

また、上記スタートタイミング信号ST1がフリップフロップ51にラッチされると、その出力信号によりフリップフロップ61がセットされる。この結果、フリップフロップ61の出力信号がハイレベル、インバータ62の出力信号がローレベルとなり、クロックパルスC10Bによりフリップフロップ63に読み込まれる。従って、フリップフロップ63の出力信号が第2図(d)に示すようにクロックパルスC10Bに同期して立ち下がる。このフリップフロップ63の出力信号がラッチクロック作成用パルスとしてシフトレジスタ64へ送られる。上記フリップフロップ61は、その後、クロックパルスC11によってリセットされ、その出力信号がローレベル、インバータ62の出力信

号がハイレベルに戻り、クロックパルスC10Bによりフリップフロップ63にラッチされる。

また、上記フリップフロップ63からラッチクロック作成用パルスが出力されると、インバータ70を介してフリップフロップ69がセットされる。このときフリップフロップ69から出力されるローレベル信号がデータ有効区間信号UTIとしてノア回路44a~44c、45a~45c、46a~46c、47a~47cに入力される。上記データ有効区間信号UTIにより、A/D変換回路から送られてくる画素データをラッチ回路48₁~48_nに転送することが可能になる。

また、上記フリップフロップ69からデータ有効区間信号UTIが出力されると、その間、クロックパルスC11Bがノア回路71、インバータ73を介して取り出される(第2図(n))と共に、クロックパルスC10Bがノア回路72、インバータ74を介して取り出される(第2図(o))。

上記インバータ73、74を介して出力される

クロックパルスC11B、C10Bにより、上記フリップフロップ63からシフトレジスタ64に送られたラッチクロック作成用パルスがラッチ回路65₁~65_{n/4-1}に順次シフトされる。上記のようにフリップフロップ63からラッチクロック作成用パルスが出力され、また、このパルスがラッチ回路65₁~65_{n/4-1}に順次シフトされることにより、ノア回路75₁~75_nが順次選択され、第2図(p)~(r)に示すラッチクロックCSK₁~CSK_{n/4}が出力される。

一方、上記新しいフィールドに入り、A/D変換回路から画素データD1~D3が送られてくると、バッファ回路41a、41b及びラッチ回路42a、42b、43a、43bにより1番目ないし4番目の画素データが並列データに変換される。すなわち、A/D変換回路から第2図(g)に示す1番目の画素データD1~D3が送られてくると、この画素データD1~D3は、まず、クロックパルスC2によりバッファ回路41aにラッチされる。次に2番目の画素データD1~D3

が送られてくると、この画素データはクロックパルスC1によりバッファ回路41bにラッチされる。このときバッファ回路41aに保持されている1番目の画素データがクロックパルスC1によりラッチ回路42aにラッチされる。このラッチ回路42aにラッチされた画素データは、クロックパルスC2によりラッチ回路42aから読出される。このときバッファ回路41bに保持されている画素データがクロックパルスC2によりラッチ回路42bにラッチされて出力される。従って、ラッチ回路42a、42bにラッチされた1番目の画素データと2番目の画素データは同時に出力され、タイミング信号発生回路50から出力されるクロックパルスC10Bによりラッチ回路43a、43bに転送される。

また、上記バッファ回路41aにラッチされた2番目の画素データがバッファ回路41bに送られた際、A/D変換回路から次に送られてくる3番目の画素データがクロックパルスC2によりバッファ回路41aにラッチされる。次いで4番目

の画素データが送られてくると、この画素データはクロックパルスC1によりバッファ回路41bにラッチされる。このときバッファ回路41aに保持されている3番目の画素データがクロックパルスC1によりラッチ回路42aにラッチされる。このラッチ回路42aにラッチされた画素データは、クロックパルスC2によりラッチ回路42aから読出される。このときバッファ回路41bに保持されている4番目の画素データがクロックパルスC2によりラッチ回路42bに転送されて出力される。従って、ラッチ回路42a、42bにラッチされた3番目の画素データと4番目の画素データは第2図(i)、(k)に示すように同時に出力される。この時、ラッチ回路43a、43bには、上記1番目と2番目の画素データが保持されている。即ち、クロックパルスC10Bは、クロックパルスC1の2倍の周期で出力されるので、ラッチ回路42a、42bに3番目と4番目の画素データがラッチされた時点では、ラッチ回路43a、43bに1番目と2番目の画素データ

が保持されている。

上記の状態においてノア回路75₁から第2図(p)に示すラッチクロックCKS1が出力され、ラッチ回路43a、43bに保持されている1番目と2番目の画素データがノア回路44a～44c、45a～45cを介してラッチ回路48₁、48₂に転送され、ラッチ回路42a、42bに保持されている3番目と4番目の画素データがノア回路46a～46c、47a～47cを介してラッチ回路48₃、48₄に転送される。

以下、同様にしてA/D変換回路から送られてくる画素データがラッチクロックCKS1～CKS_mに同期して4つずつラッチ回路48₁～48_nに転送される。そして、ラッチ回路48₁～48_nに1ライン分の画素データがセットされると、その画素データが所定のタイミング信号により一括して信号電極駆動回路(図示せず)に読出され、表示パネルの信号電極が表示駆動される。

一方、上記フリップフロップ63から出力され

たラッチクロック作成用パルスがシフトレジスタ64内を順次シフトされ、最終段のラッチ回路_mまでシフトされると、その出力信号STO(第2図(d))がフリップフロップ66へ送られ、クロックパルスC11に同期してラッチされる。これによりフリップフロップ66の出力がローレベルとなり、クロックパルスC10Bによりフリップフロップ67にラッチされ、更にそのラッチ出力によりインバータ68を介してフリップフロップ69がリセットされる。この結果、フリップフロップ69から出力されるデータ有効区間信号UTIがハイレベルに戻り、ノア回路44a～44c、45a～45c、46a～46c、47a～47cのゲートを閉じる。また、上記データ有効区間信号UTIがハイレベルになると、ノア回路71、72のゲートを閉じ、クロックパルスC11B、C10Bがノア回路71、72より出力されるのを禁止する。その後、次のフィールドにおいてスタートタイミング信号ST1が送られてくると、上記した動作が繰り返して行なわれる。

なお、上記実施例では、液晶表示パネルを例にとって説明したが、本発明はこれに限定されるものでなく、ドットマトリクス型の表示パネルを備えた画像表示装置に適用し得るものである。

[発明の効果]

以上詳記したように本発明によれば、ドットマトリクス型表示パネルの各信号電極に対応して設けられた複数のラッチ回路に画素データを順次ラッチし、そのラッチデータに基づいて上記信号電極を表示駆動する画像表示装置において、1画素単位で入力される画素データをバッファ回路に順次書き込み、このバッファ回路に4画素分の画素データが書き込まれる毎にその保持データを並列的に読出し、ラッチクロックによりラッチ回路に転送するようにしたので、1発のラッチクロックで4画素分のデータをラッチ回路にセットすることができる。このためラッチクロック発生回路の素子数が従来の1/2となり、回路構成を簡易化し得るものであり、特に表示パネルの信号電極数が

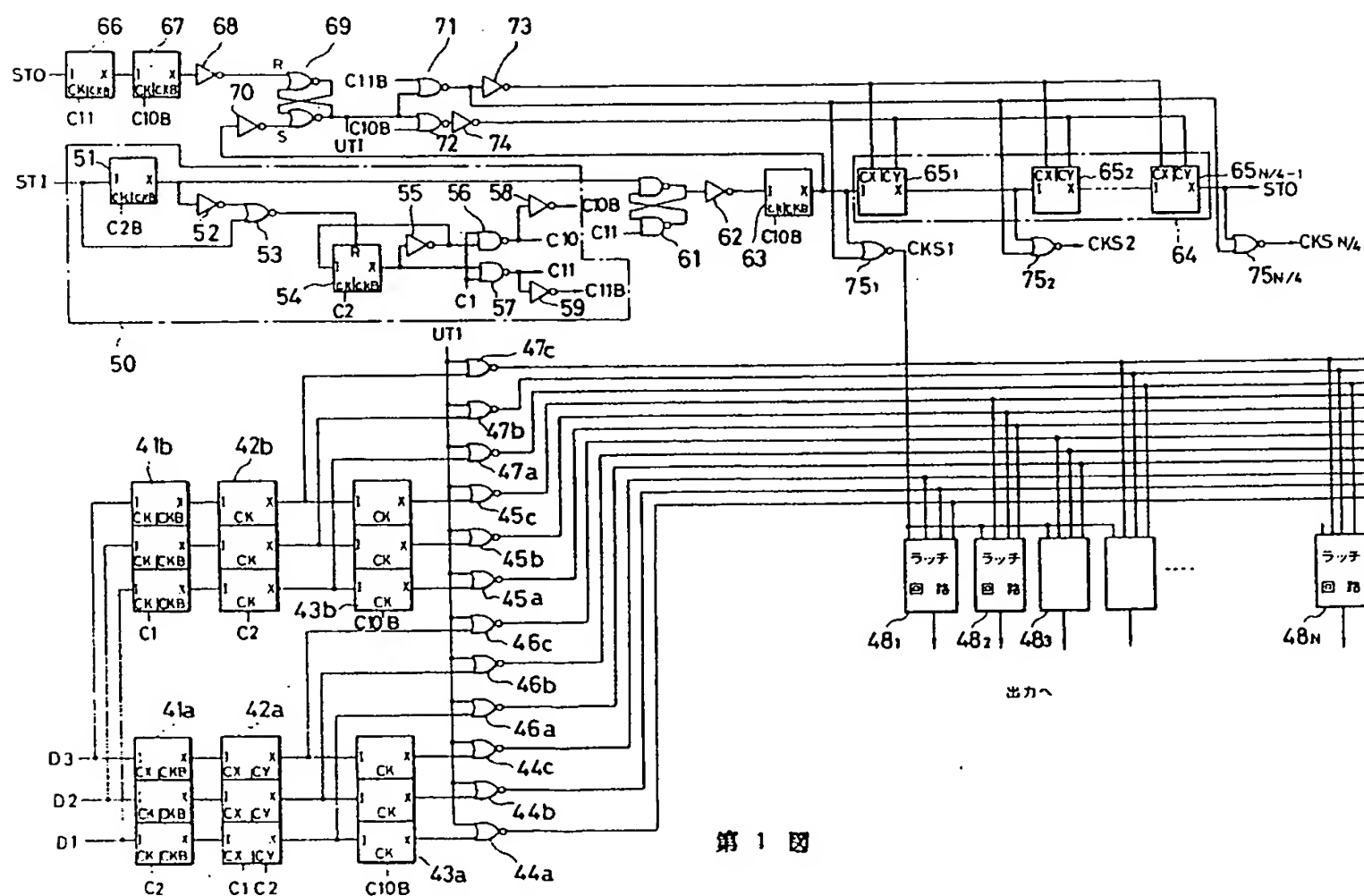
多い場合に大きな効果を発揮することができる。
また、ラッチクロックの周波数が従来の $1/2$ になるので、消費電力を低減でき、かつ、動作に余裕を持たせることができる。

4. 図面の簡単な説明

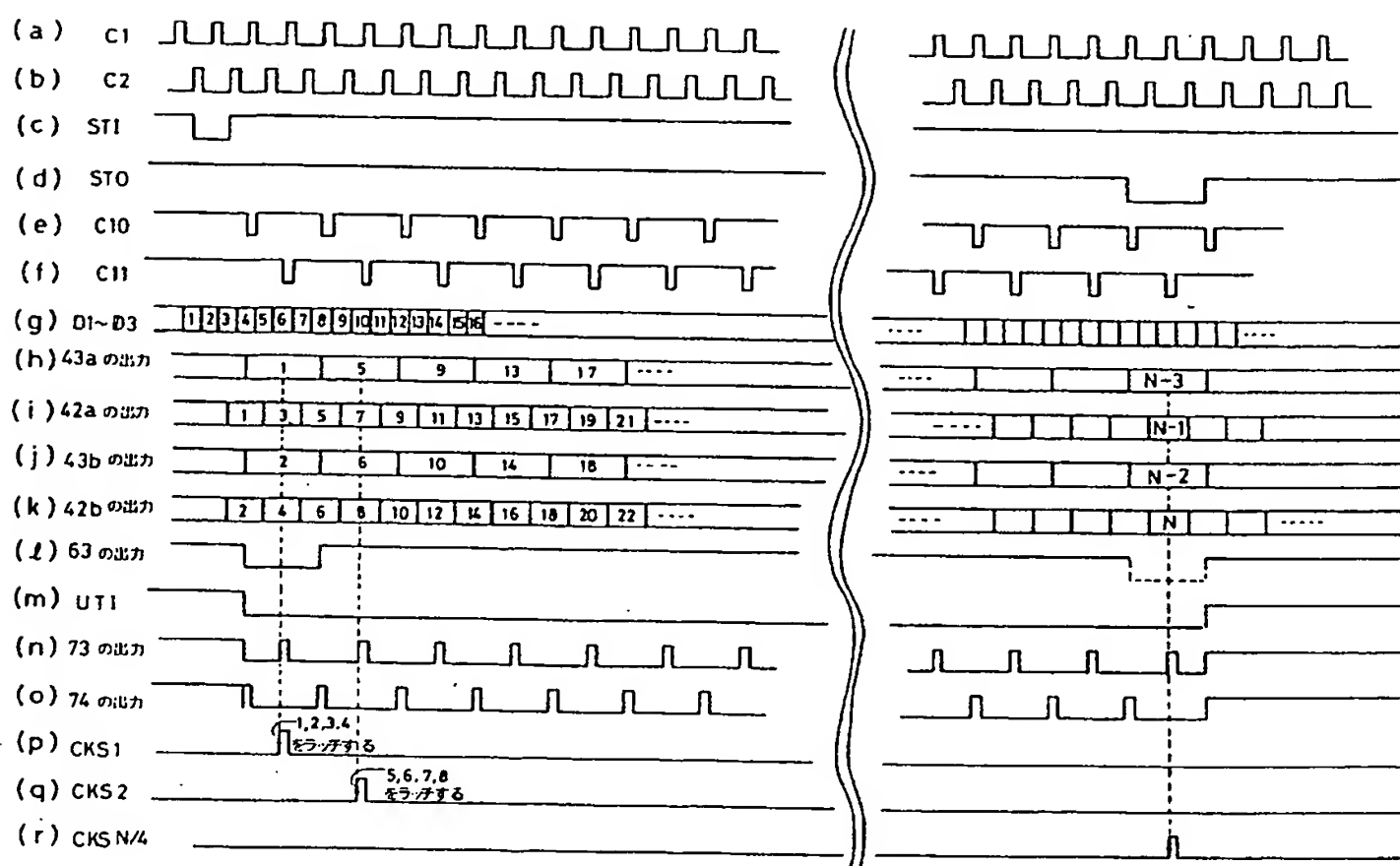
第1図は本発明の一実施例を示すブロック図、第2図は同実施例の動作を説明するためのタイミングチャート、第3図は従来における液晶駆動回路の構成を示すブロック図、第4図は第3図の動作を説明するためのタイミングチャートである。

41a, 41b...バッファ回路、42a, 42b, 43a, 43b...ラッチ回路、50...タイミング信号発生回路、48₁~48_N...ラッチ回路、64...シフトレジスタ。

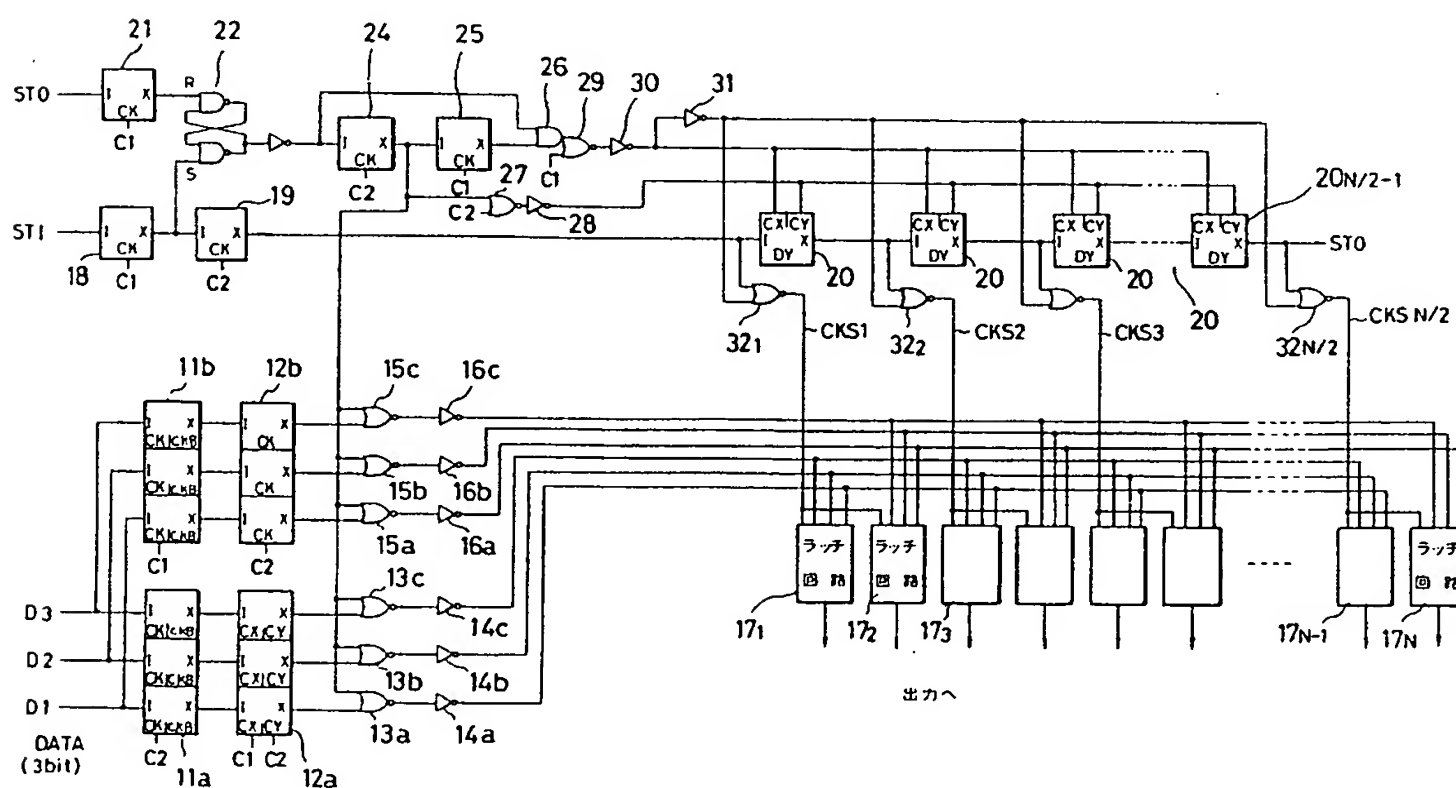
出願人代理人 弁理士 鈴 江 武 彦



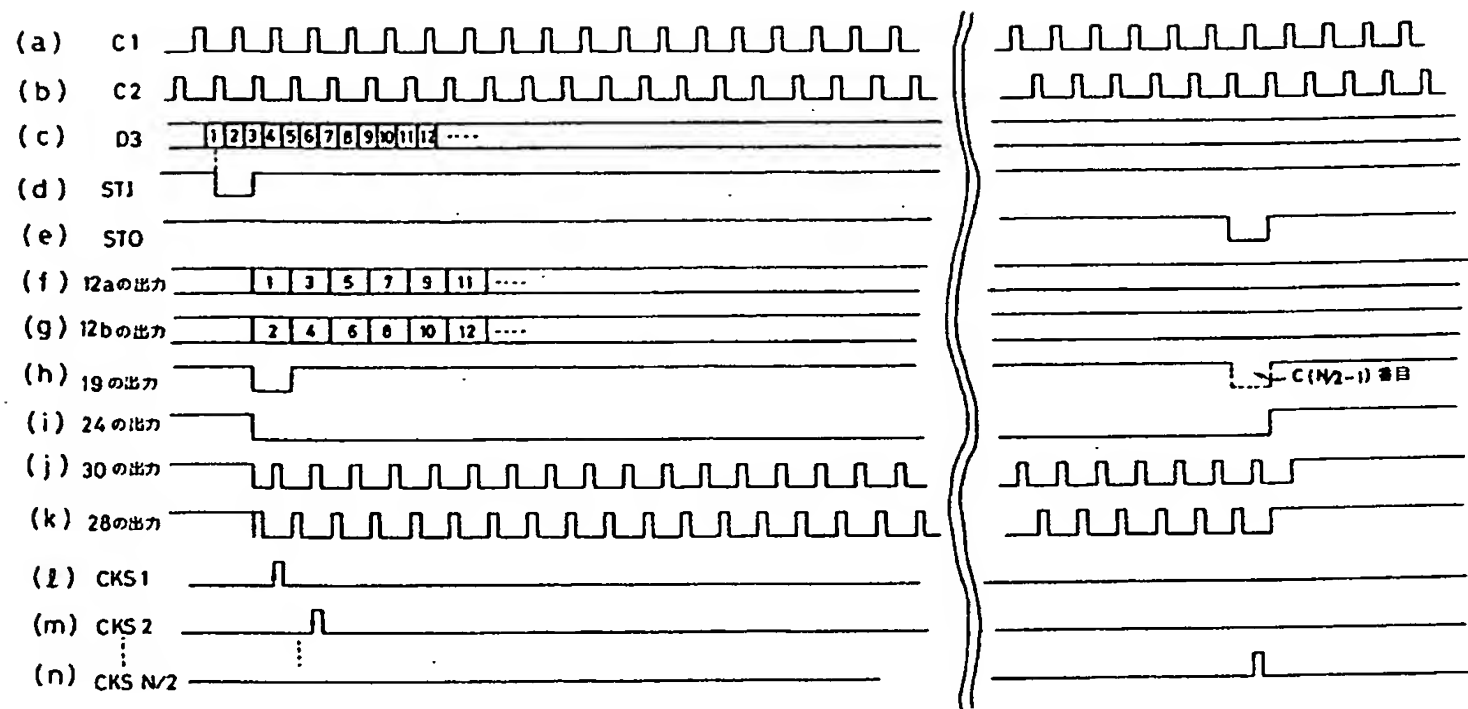
第1図



第 2 図



第 3 図



第 4 図